

19. Japan Patent Office (JP)
12. Laid-open Patent Application Gazette (A)
11. Laid-open Patent Application No. Sho 61-101067
43. Disclosure Date: May 19, 1986
-

51. Int. Cl.⁴ ID Code Agency Control No.
H 01 L 25/04 7638-5F
27/10 6655-5F

Number of Inventions: 1
Examination Not Requested Yet
(Total 3 pages)

54. Invention Title: Memory Module
21. Application No. Sho 59-223201
22. Application Date: October 24, 1984
72. Inventor: Hajime Nakamura, NEC Corporation, 5-33-1 Shiba, Minato-ku, Tokyo
71. Applicant: NEC Corporation, 5-33-1 Shiba, Minato-ku, Tokyo
74. Representative: Susumu Uchihara, Patent Agent
-

SPECIFICATION

1. TITLE OF INVENTION

Memory Module

2. CLAIMS

1. A memory module that stacks a plurality of semiconductor devices that house individual memory chips and have an electrode pattern at the container outer wall for conducting a chip's electrode to the exterior, and said container outer wall electrode patterns are electrically interconnected.

3. DETAILED DESCRIPTION OF THE INVENTION

Industrial Field of Application

The present invention pertains to a memory module in which a plurality of memory devices is mounted at high density.

In recent years the capacity of memory ICs used in various electronic devices has expanded greatly, and the demand for them continues to increase, year after year.

Prior Art

Memory ICs are typically used as a dual inline package (DIP) sealed by a mold or ceramic case.

Problems the Invention Is to Solve

To increase memory capacity in an electronic device it is necessary to mount as many memory ICs as possible in a limited space, but a DIP-type package requires a relatively large mounting space.

The object of the present invention is to provide a memory module that can mount memory ICs in a limited space at high density.

Means for Solving the Problems

The present invention is characterized as constituting each memory device in a chip carrier system, and vertically stacking a plurality of these.

Embodiment

The details of the present invention are described below with reference to FIG. 1 through FIG. 7.

FIG. 1 shows a circuit that uses four $16k \times 8$ bit SRAM (Static Random Access Memory) ICs as a circuit that uses memory ICs. As can be seen from this, terminals $A_0 \sim A_{10}$, $IO_1 \sim IO_8$, not-W, V_{DD} , GND, and not- CE_2 are wiring that is shared by memory IC 1 through memory IC4; only not- CE_1 is independent for each IC. Utilizing this point, in the present invention terminals 3 are formed at the peripheral surface of the chip carrier as shown in FIG. 2, and these terminals 3 connect to the respective electrodes 2 within the chip carrier.

The peripheral electrodes 3 are disposed so that they overlap the rear-surface electrodes (3 in FIG. 3) of another chip carrier when chip carriers are stacked, so electrical connection is achieved simply by overlapping chip carriers, and [the module] can be miniaturized. Furthermore, 4 is a semiconductor element; this electrode is wire bonded to the chip carrier's internal electrode 2.

FIG. 4 is a sectional view of a chip carrier in accordance with the present invention. It has the electrode 3 for making connections at the carrier periphery and sides, and between chip carriers at the rear surface.

In FIG. 5 an memory IC 4 is mounted on the chip carrier and wired bonded, after which it is sealed by resin 5. If necessary, the chip carrier undergoes a burn-in test and electrical characteristics inspection, and good products are selected.

Good chip carriers have solder 6 supplied to the electrode 3 as shown in FIG. 6.

Next, exactly the required number of chip carriers (4 in the example shown in FIG. 7) are stacked up, and subjected to a solder reflow process, whereby each chip carrier is connected electrically and mechanically, resulting in a memory module.

Furthermore, an electrode that needs to be independent at each IC such as CE_2 may be connected to a different electrode pad at each IC.

Effect of the Invention

As described above, according to the present invention sufficient inspection is performed prior to assembling the chip carriers used into a module, so yield is high and the height of one chip carrier is about 2 mm so stacking even four of them is 8 mm, so [the module] can be greatly miniaturized, etc.

4. BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is an example of a circuit for a memory module that uses four 16k × 8 bit SRAM ICs. FIG. 2 and FIG. 3 are a front view and back view of a chip carrier in accordance with the present invention. FIG. 4 through FIG. 7 are sectional views showing the processes in manufacturing a memory module in accordance with the present invention.

- 1 Ceramic
- 2 IC mounting electrode
- 3 Chip carrier connection electrode
- 4 Memory IC
- 5 Sealing resin
- 6 Solder

Representative: Susumu Uchihara, Patent Agent [seal]

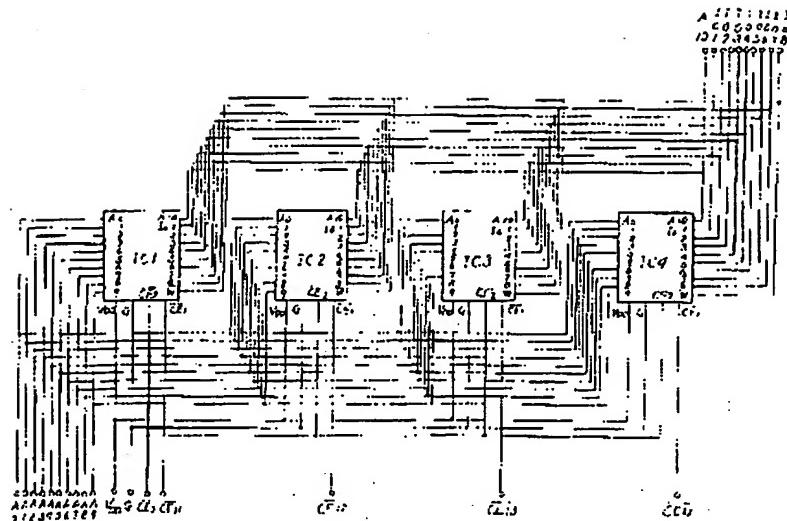


FIG. 1

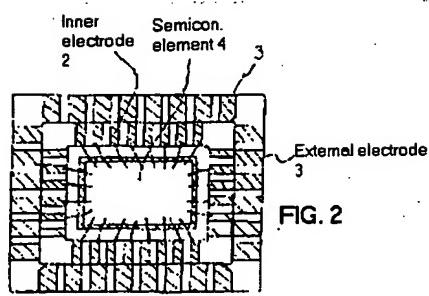


FIG. 2

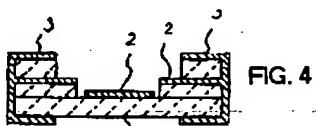


FIG. 4

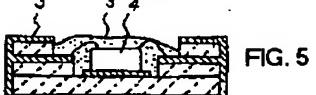
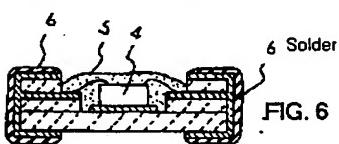


FIG. 5



3

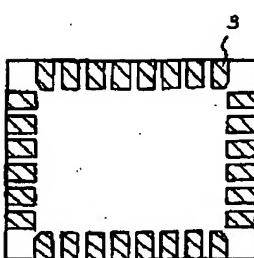


FIG. 3

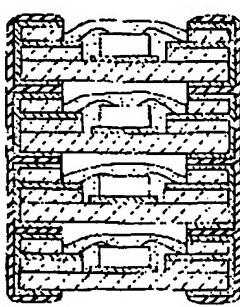


FIG. 7

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭61-101067

⑬ Int.Cl.⁴

H 01 L 25/04
27/10

識別記号

府内整理番号

7638-5F
6655-5F

⑭ 公開 昭和61年(1986)5月19日

審査請求・未請求 発明の数 1 (全3頁)

⑮ 発明の名称 メモリモジュール

⑯ 特 願 昭59-223201

⑰ 出 願 昭59(1984)10月24日

⑱ 発明者 中村 肇 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代理人 弁理士 内原 晋

明細書

1. 発明の名称

メモリモジュール

ラックケースで封止されデュアル・イン・ラインパッケージ (DIP) として使われている。

【発明が解決しようとする問題点】

電子機器のメモリ容量を増大するには、限られたスペースにできるだけ多くのメモリICを搭載する必要がある。DIP型のパッケージでは比較的大きな実装スペースを必要とする。

本発明の目的はメモリICを限られたスペースに、高密度で実装できるメモリモジュールを提供するものである。

【問題点を解決するための手段】

本発明は各メモリ装置をチップキャリア方式で構成し、複数個を縦方向に積み重ねたことを特徴とする。

【実施例】

第1図乃至第7図を参照して本発明の詳細な説明を以下に述べる。

メモリICを使用した回路として、 $16k \times 8bit$ のSRAM (Static Random Access Memory) ICを4ヶ使用した回路を第1図に示す。これよ

2. 特許請求の範囲

夫々がメモリチップを内蔵し、かつ容器外壁に該チップの電極を外部へ導出するための電極パターンを有する複数の半導体装置を重ね合せ、もつて前記容器外壁の電極パターン相互間を電気的に接続したことを特徴とするメモリモジュール。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は多数のメモリ装置が高密度に実装されたメモリモジュールに関する。

近年、各種電子機器に使われているメモリICの量は膨大であり、需要は年々増大している。

【従来の技術】

メモリICは通常、モールド、あるいはセラミ

特開昭61-101067(2)

り分るよう、A0～A10, I01～I08, W, V_{DD}, GND, C_Eの各端子はメモリIC1～メモリIC4において共通の配線であり、C_Eのみ各IC毎に独立に入力される。この点を利用して本発明においては、第2図に示すようにチップキャリアの周辺部表面に電極3を形成しておきこれらの電極3はチップキャリア内の電極2とそれぞれ接続されている。

チップキャリアを直ねた時に、周辺部の電極3は他のチップキャリアの裏面電極(第3図3)と重なり合うよう配置することにより、チップキャリアを直ね合わせだけで電気的接続がとれるようになり、小型化することを可能にしたものである。なお、4は半導体素子でこの電極はチップキャリアの内部電極2にワイヤーボンディングされている。

第4図は本発明によるチップキャリアの断面図であり、キャリア周辺部及び側面、及び裏面にチップキャリア相互間の接続を行なう電極3を有している。

第5図はチップキャリアにメモリIC4をマウ

- 3 -

4. 図面の簡単な説明

第1図は16k×8bitのSRAM ICを4ヶ使ったメモリモジュールの1回路例、第2図、第3図は本発明によるチップキャリアの表面からの図と裏側の図である。第4～第7図は、本発明によるメモリモジュールの各製造プロセスの断面図である。

1 ……セラミック、2 ……IC搭載用電極、3 ……チップキャリア接続用電極、4 ……メモリIC、5 ……封止樹脂、6 ……半田。

代理人弁理士内原 譲

ントし、ワイヤーボンディングした後、樹脂5で封止したものであり、チップキャリアは必要に応じてペーン、イン、テスト、及び電気的特性検査を行い、良品を選びだす。

良品のチップキャリアは、第6図に示すように電極3に半田6を供給する。

次に、チップキャリアを必要な数だけ(第7図の場合4ヶ)重ね合せ、半田リフロー工程を通過するとにより、各チップキャリアは電気的、機械的に接続され、メモリモジュールとなる。

尚C_Eのように各IC毎に独立して出す必要のある電極は各IC毎に異なった電極パッドに接続しておけばよい。

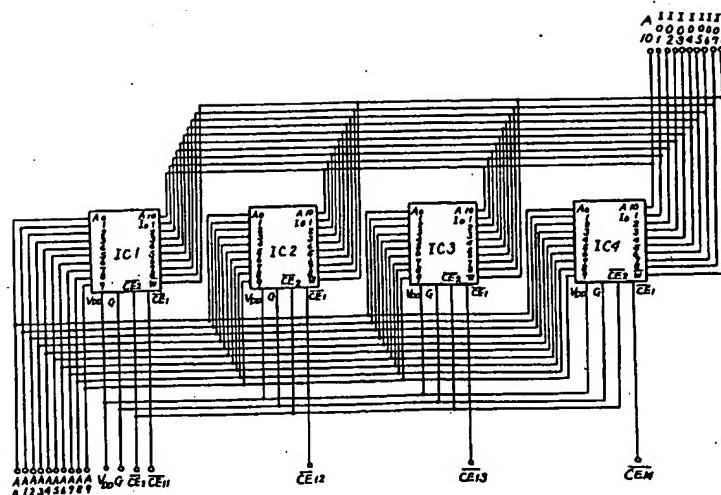
〔発明の効果〕

以上述べたように、本発明によれば、チップキャリアを使用するためモジュールに組み込む前に充分な検査が行えるため、歩留りが高いこと、またチップキャリア1ヶの高さはせいぜい2mmくらいであるため4ヶ並ねても8mmと大幅に小型化が可能になる等の効果が得られるものである。

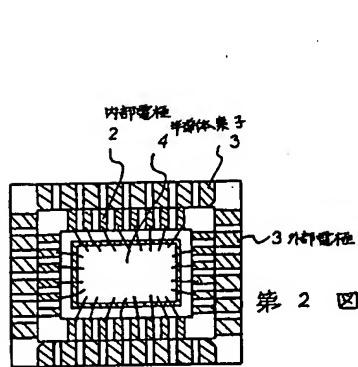
- 4 -

(3)

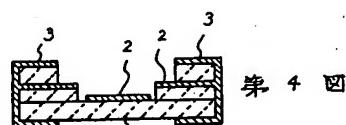
特開昭61-101067(3)



第1図



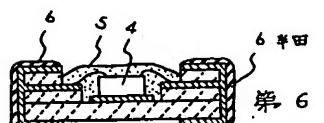
第2図



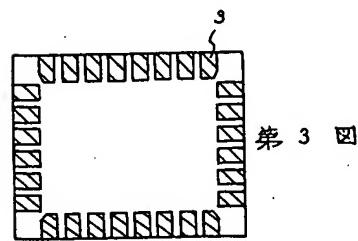
第4図



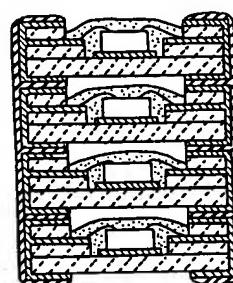
第5図



第6図



第3図



第7図

THIS PAGE BLANK (US)